



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월01일
(11) 등록번호 10-1228992
(24) 등록일자 2013년01월28일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
(21) 출원번호 10-2012-0075652
(22) 출원일자 2012년07월11일
심사청구일자 2012년07월11일
(56) 선행기술조사문헌
KR100797007 B1*
KR1020110090397 A*
KR1020120034419 A
JP2008205272 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한국기계연구원
대전광역시 유성구 가정북로 156 (장동)
(72) 발명자
이지혜
대전광역시 유성구 전민동 엑스포아파트 102동 1002호
이원석
인천 부평구 삼산동 448-1 신성미소지움아파트 301동1401호
(뒷면에 계속)
(74) 대리인
나승택, 조영현

전체 청구항 수 : 총 6 항

심사관 : 김정진

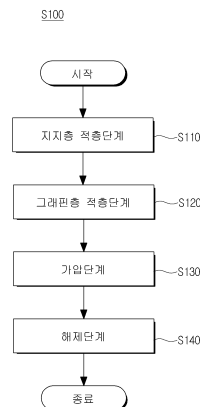
(54) 발명의 명칭 그래핀 패턴 형성방법 및 이를 이용하는 전계효과 트랜지스터 제작방법

(57) 요약

본 발명은 그래핀 패턴 형성방법에 관한 것이며, 본 발명의 그래핀 패턴 형성방법은 기판 상에 폴리머 소재의 연성의 지지층을 적층하는 지지층 적층단계; 상기 연성의 지지층 상에 그래핀층을 적층하는 그래핀층 적층단계; 복수개의 나노패턴이 반복적으로 형성된 스탬프를 상기 그래핀에 접촉한 상태에서, 상기 나노패턴과 접촉한 영역의 지지층이 함몰되어 단차를 형성하도록 고온, 고압환경에서 상기 스탬프를 가압하는 가압단계; 상기 그래핀 패턴으로부터 상기 스탬프를 접촉해제하는 해제단계;를 포함하는 것을 특징으로 한다.

따라서, 본 발명에 의하면, 물리적인 가공을 통하여 나노 스케일의 그래핀 패턴을 용이하게 제작할 수 있는 그래핀 패턴 형성방법이 제공된다.

대표도 - 도1



(72) 발명자

최준혁

대전광역시 유성구 어은동 한빛아파트 106-306호

최대근

대전광역시 유성구 하기동 송림마을 5단지
501-1303호

정주연

대전광역시 유성구 신성동 삼성한울아파트 110동
806호

정준호

대전광역시 유성구 장동 161

이용숙

경상남도 창원시 마산회원구 회원동 415 한효아파트 1동1803호

이 발명을 지원한 국가연구개발사업

과제고유번호 NM7370

부처명 교육과학기술부

연구사업명 교과부-국가연구개발사업(II)

연구과제명 필러층을 이용한 1차원 나노구조체의 병렬 집합기술 개발(1/6) (4/6)

주관기관 한국기계연구원

연구기간 2012.06.01 ~ 2013.05.31

이 발명을 지원한 국가연구개발사업

과제고유번호 NM7310

부처명 교육과학기술부

연구사업명 교과부-국가연구개발사업(II)

연구과제명 다층 대면적 멀티스케일 플라즈모닉스 나노구조 공정기술 개발 (1/2)

주관기관 한국기계연구원

연구기간 2011.09.29 ~ 2012.08.31

특허청구의 범위

청구항 1

기판 상에 폴리머 소재의 연성의 지지층을 적층하는 지지층 적층단계;

상기 연성의 지지층 상에 그래핀층을 적층하는 그래핀층 적층단계;

복수개의 나노패턴이 반복적으로 형성된 스탬프를 상기 그래핀에 접촉한 상태에서, 상기 나노패턴과 접촉한 영역의 지지층이 함몰되어 단차를 형성하여 그래핀 패턴을 형성하도록 고온, 고압환경에서 상기 스탬프를 가압하는 가압단계;

상기 그래핀 패턴으로부터 상기 스탬프를 접촉해제하는 해제단계;

상기 그래핀 패턴의 적어도 일부의 상층에 절연층을 적층하는 절연층 적층단계;

노출된 그래핀 패턴에 소스전극, 드레인 전극을 형성하고, 상기 절연층 상에 게이트 전극을 형성하는 전극 형성단계;를 포함하는 것을 특징으로 하는 전계효과 트랜지스터 제작방법.

청구항 2

기판 상에 폴리머 소재의 연성의 지지층을 적층하는 지지층 적층단계;

상기 연성의 지지층 상에 그래핀층을 적층하는 그래핀층 적층단계;

복수개의 나노패턴이 반복적으로 형성된 스탬프를 상기 그래핀에 접촉한 상태에서, 상기 나노패턴과 접촉한 영역의 지지층이 함몰되어 단차를 형성하여 그래핀 패턴을 형성하도록 고온, 고압환경에서 상기 스탬프를 가압하는 가압단계;

상기 그래핀 패턴으로부터 상기 스탬프를 접촉해제하는 해제단계;

절연층이 적층된 베이스 상에 상기 그래핀 패턴을 전사하는 전사단계;

상기 그래핀 패턴 상에 소스 전극, 드레인 전극을 형성하고, 상기 베이스 하면에 게이트 전극을 형성하는 전극 형성단계;를 포함하는 것을 특징으로 하는 전계효과 트랜지스터 제작방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 스탬프는 상기 지지층보다 강성이 큰 소재로 마련되는 것을 특징으로 하는 전계효과 트랜지스터 제작방법.

청구항 4

제1항 또는 제2항에 있어서,

상기 그래핀층과 접촉하는 상기 스탬프의 면에는 점착방지 처리가 되는 것을 특징으로 하는 전계효과 트랜지스터 제작방법.

청구항 5

제1항 또는 제2항에 있어서,

상기 가압단계는 상기 지지층 소재의 용융점 이하의 온도 조건에서 진행되는 것을 특징으로 하는 전계효과 트랜지스터 제작방법.

청구항 6

제1항 또는 제2항에 있어서,

상기 가압단계는 상기 지지층 소재의 압축 파괴 강도 이상의 압력이 가해지는 것을 특징으로 하는 전계효과 트랜지스터 제작방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

명세서

기술분야

[0001] 본 발명은 그래핀 패턴 형성방법 및 이를 이용하는 전계효과 트랜지스터 제작방법에 관한 것으로서, 보다 상세하게는 그래핀 나노 패턴을 용이하게 형성할 수 있는 그래핀 패턴 형성방법 및 이를 이용하는 전계효과 트랜지스터 제작방법에 관한 것이다.

배경기술

[0002] 그래핀 나노리본은 폭에 따라서 밴드갭을 제어할 수 있으므로 다양한 전자소자에 적용될 수 있으며, 이에 따라, 그래핀을 나노패터닝함으로써 그래핀 나노리본을 구현하는 연구가 활발하게 진행되고 있다.

[0003] 일반적으로, 나노 스테일의 마스크를 이용하여 그래핀을 화학적으로 식각함으로써 나노 스케일의 그래핀 나노리본을 제작한다. 즉, 절연기판위에 그래핀층을 적층한 후에, 그 위에 블록코폴리머를 정렬하고, 블록코폴리머를 마스크로 이용하여 그래핀을 건식 식각하는 방식에 의하여 그래핀 나노리본을 형성하였다.

[0004] 또는, HOPG(Highly Oriented Pyrolytic Graphite)에 나노 임프린트를 이용하여 나노패턴을 형성하고, 이를 마스크로 이용하여 그래파이트 건식식각을 수행한 후에, 그래파이트 나노리본을 절연기판으로 이송하는 방식을 통하여 그래핀 나노리본을 제작하였다.

[0005] 다만, 상술한 종래 식각공정을 이용한 그래핀 나노리본 제작방법은, 공정시의 화학반응에 의하여 그래핀의 특성이 변형되고, 그에 따라 최종 제작되는 그래핀 나노리본의 반도체 특성이 저하되는 문제가 있었다.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 발명의 목적은 이와 같은 종래의 문제점을 해결하기 위한 것으로서, 물리적인 가공을 통하여 나노 스케일의 그래핀 패턴을 용이하게 제작하고, 이를 통하여 전계효과 트랜지스터를 제작할 수 있는 그래핀 패턴 형성방법 및 이를 이용하는 전계효과 트랜지스터 제작방법을 제공함에 있다.

과제의 해결 수단

[0007] 상기 목적은, 본 발명에 따라, 기판 상에 폴리머 소재의 연성의 지지층을 적층하는 지지층 적층단계; 상기 연성의 지지층 상에 그래핀층을 적층하는 그래핀층 적층단계; 복수개의 나노패턴이 반복적으로 형성된 스탬프를 상기 그래핀에 접촉한 상태에서, 상기 나노패턴과 접촉한 영역의 지지층이 함몰되어 단차를 형성하도록 고온, 고압환경에서 상기 스탬프를 가압하는 가압단계; 상기 그래핀 패턴으로부터 상기 스탬프를 접촉해제하는 해제단계;를 포함하는 것을 특징으로 하는 그래핀 패턴 형성방법에 의해 달성된다.

- [0008] 또한, 상기 스탬프는 상기 지지층보다 강성이 큰 소재로 마련될 수 있다.
- [0009] 또한, 상기 그래핀층과 접촉하는 상기 스탬프의 면에는 점착방지 처리가 될 수 있다.
- [0010] 또한, 상기 가압단계는 상기 지지층 소재의 용융점 이하의 온도 조건에서 진행될 수 있다.
- [0011] 또한, 상기 가압단계는 상기 지지층 소재의 압축 파괴 강도 이상의 압력이 가해질 수 있다.
- [0012] 또한, 상기 목적은, 본 발명에 따라, 기판 상에 폴리머 소재의 연성의 지지층을 적층하는 지지층 적층단계; 상기 연성의 지지층 상에 그래핀층을 적층하는 그래핀층 적층단계; 복수개의 나노패턴이 반복적으로 형성된 스탬프를 상기 그래핀에 접촉한 상태에서, 상기 나노패턴과 접촉한 영역의 지지층이 함몰되어 단차를 형성하여 그래핀 패턴을 형성하도록 고온, 고압환경에서 상기 스탬프를 가압하는 가압단계; 상기 그래핀 패턴으로부터 상기 스탬프를 접촉해제하는 해제단계; 절연층이 적층된 베이스 상에 상기 그래핀 패턴을 전사하는 전사단계; 상기 그래핀 패턴 상에 소스 전극, 드레인 전극을 형성하고, 상기 베이스 하면에 게이트 전극을 형성하는 전극 형성단계;를 포함하는 것을 특징으로 하는 전계효과 트랜지스터 제작방법에 의해 달성된다.
- [0013] 또한, 상기 목적은, 본 발명에 따라, 기판 상에 폴리머 소재의 연성의 지지층을 적층하는 지지층 적층단계; 상기 연성의 지지층 상에 그래핀층을 적층하는 그래핀층 적층단계; 복수개의 나노패턴이 반복적으로 형성된 스탬프를 상기 그래핀에 접촉한 상태에서, 상기 나노패턴과 접촉한 영역의 지지층이 함몰되어 단차를 형성하여 그래핀 패턴을 형성하도록 고온, 고압환경에서 상기 스탬프를 가압하는 가압단계; 상기 그래핀 패턴으로부터 상기 스탬프를 접촉해제하는 해제단계; 상기 그래핀 패턴의 적어도 일부의 상측에 절연층을 적층하는 절연층 적층단계; 노출된 그래핀 패턴에 소스전극, 드레인 전극을 형성하고, 상기 절연층 상에 게이트 전극을 형성하는 전극 형성단계;를 포함하는 것을 특징으로 하는 전계효과 트랜지스터 제작방법에 의해 달성된다.

발명의 효과

- [0014] 본 발명에 따르면, 나노 스케일의 그래핀 패턴을 용이하게 가공할 수 있는 그래핀 패턴 형성방법이 제공된다.
- [0015] 또한, 물리적인 가공방식을 이용하여 그래핀의 반도체 특성이 저하되지 않은 상태로 나노 스케일의 패턴을 형성할 수 있다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 일실시예에 따른 그래핀 패턴 형성방법의 개략적인 공정흐름도이고,
 도 2는 도 1의 그래핀 패턴 형성방법의 지지층 적층단계 공정을 개략적으로 도시한 것이고,
 도 3은 도 1의 그래핀 패턴 형성방법의 그래핀층 적층단계 공정을 개략적으로 도시한 것이고,
 도 4는 도 1의 그래핀 패턴 형성방법의 가압단계 공정을 개략적으로 도시한 것이고,
 도 5는 도 1의 그래핀 패턴 형성방법의 해제단계 공정을 개략적으로 도시한 것이고,
 도 6은 도 1의 그래핀 패턴 형성방법에 의하여 제작된 실제 그래핀 패턴의 사진이고,
 도 7은 본 발명의 제1실시예에 따른 전계효과 트랜지스터 제작방법의 개략적인 공정흐름도이고,
 도 8은 도 7의 전계효과 트랜지스터 제작방법의 절연층 적층단계 공정을 개략적으로 도시한 것이고,
 도 9는 도 7의 전계효과 트랜지스터 제작방법의 전극 형성단계 공정을 개략적으로 도시한 것이고,
 도 10은 본 발명의 제2실시예에 따른 전계효과 트랜지스터 제작방법의 개략적인 공정흐름도이고,
 도 11은 도 10의 전계효과 트랜지스터 제작방법의 전사단계 공정을 개략적으로 도시한 것이고,
 도 12는 도 10의 전계효과 트랜지스터 제작방법의 전극 형성단계 공정을 개략적으로 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 첨부한 도면을 참조하여 본 발명의 일실시예에 따른 그래핀 패턴 형성방법(S100)에 대하여 상세하게 설명한다.
- [0018] 도 1은 본 발명의 일실시예에 따른 그래핀 패턴 형성방법의 개략적인 공정흐름도이다.

- [0019] 도 1을 참조하면, 본 발명의 일실시예에 따른 그래핀 패턴 형성방법(S100)은 나노 스케일의 그래핀 패턴(P)을 용이하게 형성하기 위한 방법으로서, 지지층 적층단계(S110)와 그래핀층 적층단계(S120)와 가압단계(S130)와 해제단계(S140)를 포함한다.
- [0020] 도 2는 도 1의 그래핀 패턴 형성방법의 지지층 적층단계 공정을 개략적으로 도시한 것이다.
- [0021] 도 2에 도시된 바와 같이, 상기 지지층 적층단계(S110)는 후술하는 가압단계(S130)에서 스탬프(140)에 의하여 접촉, 가압됨으로써 전단가공되어 단차를 형성하는 연성의 지지층(120)을 적층하는 단계로서, 기판(110) 상에 연성의 폴리머 소재의 지지층(120)을 적층한다.
- [0022] 지지층(120)의 소재는 경화된 후에 연성을 가지는 폴리머 소재, 또는, 유리전이온도(glass transition temperature) 이상의 온도조건에서 연성을 가지는 금속소재가 이용될 수 있으며, 스탬프(140)와의 관계에 있어서, 하기의 [수학식 1]을 만족하는 소재로 선택되는 것이 바람직하다.

수학식 1

$$\frac{E_1}{E_2} < 0.33$$

- [0023]
- [0024] [단, E_1 : 지지층의 강성(Young's Modulus), E_2 : 스탬프의 강성(Young's Modulus)]
- [0025] 본 실시예에서는 지지층(120)으로서 폴리메틸메타크릴레이트[PMMA:Poly(methyl methacrylate)]이 이용되나, 이에 제한되는 것은 아니다.
- [0026] 도 3은 도 1의 그래핀 패턴 형성방법의 그래핀층 적층단계 공정을 개략적으로 도시한 것이다.
- [0027] 도 3에 도시된 바와 같이, 상기 그래핀층 적층단계(S120)는 지지층(120) 상에 그래핀층(130)을 적층하는 단계이다. 본 단계에서 적층되는 그래핀층(130)이 최종 형성될 그래핀 패턴(P)의 두께를 결정하는 것이므로, 최종 형성되는 그래핀 패턴(P)의 형태 및 규격 등을 종합적으로 고려하여 그래핀층(130)을 적층하는 것이 바람직하다.
- [0028] 도 4는 도 1의 그래핀 패턴 형성방법의 가압단계 공정을 개략적으로 도시한 것이다.
- [0029] 도 4에 도시된 바와 같이, 상기 가압단계(S130)는 소정의 나노패턴(141)이 형성되는 스탬프(140)를 이용하여 그래핀층(130)을 가압함으로써, 지지층(120)이 단차를 형성하도록 하는 동시에 그래핀층(130)이 전단가공되도록 하는 단계이다.
- [0030] 본 단계에서 이용되는 스탬프(140)에는 나노 스케일을 가지며 돌출되는 복수개의 나노패턴(141)이 상호 이격되게 형성된다.
- [0031] 한편, 스탬프(140)를 구성하는 소재로는 실리콘(Si), 유리(Glass), 퀴츠(Quartz), 니켈(Nickel)이 이용될 수 있다. 다만, 스탬프(140)의 물리적 가압력에 의하여 지지층(120)이 기계적으로 가공될 수 있도록 지지층(120) 소재보다 우수한 강성의 소재로서, 상기 [수학식 1]을 만족하는 소재라면 스탬프(140)의 소재는 상술한 것에 제한되는 것은 아니다.
- [0032] 또한, 나노패턴(141)이 형성되어 그래핀층(130)과 접촉하는 스탬프(140)의 면에는 후술하는 해제단계(S140)에서 그래핀층(130)과의 용이한 접촉 해제를 위하여 점착방지처리가 될 수 있다. 이때, 점착방지처리는 스탬프(140) 상에 FDTS(1H, 1H, 2H, 2H-Perfluorodecyltrichlorosilane), FOTS(fluorooctatrachlorosilane), DDMS(dichlorodimethylsilane)등의 자기조립단분자막(Self Assembled Monolayer)이 적층되는 방식으로 수행될 수 있다.
- [0033] 본 가압단계(S130)의 공정에 대해서 상세히 설명하면, 나노패턴(141)이 형성되는 스탬프(140)의 면을 그래핀층(130)과 접촉시킨다. 이와 동시에, 고온, 고압의 조건에서 공정이 진행되도록 압력(P)과 열(H)을 가한다.
- [0034] 이때, 온도조건은 지지층(120)을 구성하는 소재의 용융점 이하의 온도, 압력조건은 지지체(120)를 구성하는 폴리머의 압축 파괴 강도(Compressive Fracture Strength) 이상의 압력이 가해지도록 설정한다. 또한, 본 단계에

서는 지지층(120)의 강성이 더욱 낮아지도록 지지층(120)을 유리전이온도 이상으로 가열하는 것이 바람직하다.

- [0035] 상술한 공정 조건에서 그래핀층(130)과 접촉된 상태의 스탬프(140)에 지속적으로 물리적인 힘을 인가하여, 나노 패턴(141)과 접촉하는 영역의 그래핀층(130)이 전단가공 되도록 하는 동시에 그래핀층(130)을 지지하는 지지층(120)이 내측으로 함몰되도록 한다.
- [0036] 즉, 스탬프(140)의 나노패턴(141)과 접촉하는 영역에 대응되는 지지층(120)은 내측으로 함몰되어 단차를 형성하여, 돌출영역(121)과 함몰영역(122)이 반복적으로 형성된다. 따라서, 반복적으로 형성되는 돌출영역(121)과 함몰영역(122) 상에는 나노 스케일의 그래핀 패턴(P)이 형성된다.
- [0037] 도 5는 도 1의 그래핀 패턴 형성방법의 해제단계 공정을 개략적으로 도시한 것이다.
- [0038] 도 5에 도시된 바와 같이, 상기 해제단계(S140)는 스탬프(140)를 그래핀 패턴(P)으로부터 접촉해제함으로써, 나노 스케일의 그래핀 패턴(P)을 최종 형성하는 단계이다. 한편, 본 단계에서는 점착처리된 상태의 스탬프(140)는 그래핀 패턴(P)으로부터 용이하게 이형될 수 있다.
- [0039] 도 6은 도 1의 그래핀 패턴 형성방법에 의하여 제작된 실제 그래핀 패턴의 사진이다.
- [0040] 따라서, 도 6에 도시된 바와 같이, 본 실시예의 그래핀 패턴 형성방법(S100)에 의하면, 지지층(120)보다 큰 강성의 소재로 구성되는 스탬프(140)를 이용하여 지지층(120)을 기계적으로 가공함으로써, 반도체 특성은 유지시킨 상태로 나노 스케일을 가지는 그래핀 패턴(P)을 용이하게 제작할 수 있다.
- [0041] 지금부터는 첨부한 도면을 참조하여 본 발명의 제1실시예에 따른 전계효과 트랜지스터 제작방법(S200)에 대하여 상세하게 설명한다.
- [0042] 도 7은 본 발명의 제1실시예에 따른 전계효과 트랜지스터 제작방법의 개략적인 공정흐름도이다.
- [0043] 도 7을 참조하면, 본 발명의 제1실시예에 따른 전계효과 트랜지스터 제작방법(S200)은 상술한 그래핀 패턴 형성방법(S100)으로부터 제작되는 나노 스케일의 그래핀 패턴(P)을 이용하여 전계효과 트랜지스터(200)를 제작하는 공정에 관한 것으로서, 지지층 적층단계(S110)와 그래핀층 적층단계(S120)와 가압단계(S130)와 해제단계(S140)와 절연층 적층단계(S250)와 전극 형성단계(260)를 포함한다.
- [0044] 다만, 상기 지지층 적층단계(S110)와 그래핀층 적층단계(S120)와 가압단계(S130)와 해제단계(S140)는 상술한 그래핀 패턴 형성방법(S100)의 공정과 동일하므로 중복 설명은 생략한다.
- [0045] 도 8은 도 7의 전계효과 트랜지스터 제작방법의 절연층 적층단계 공정을 개략적으로 도시한 것이다.
- [0046] 도 8에 도시된 바와 같이, 상기 절연층 적층단계(S250)는 최외곽의 영역을 제외한 그래핀 패턴(P)이 형성되는 영역 상에 절연층(250)을 적층하는 단계이다.
- [0047] 즉, 본 단계에서는 기판(110)의 최외곽 테두리에 형성되는 그래핀 패턴(P)을 제외하고, 그래핀 패턴(P)이 형성되는 영역 상에 전기적으로 절연특성을 가지는 절연층(250)을 적층한다.
- [0048] 도 9는 도 7의 전계효과 트랜지스터 제작방법의 전극 형성단계 공정을 개략적으로 도시한 것이다.
- [0049] 도 9에 도시된 바와 같이, 상기 전극 형성단계(S260)는 소스전극(S)과 드레인 전극(D) 및 게이트 전극(G)을 형성하여 전계효과 트랜지스터(FET:Field Effect Transistor)(200)를 최종 제작하는 단계이다.
- [0050] 즉, 본 단계에서는 절연층(250)이 적층되지 않은 상태로 외부에 노출되는 그래핀 패턴(P) 상에 소스전극(S)과 드레인 전극(D)을 형성한다. 또한, 절연층(250) 상에는 게이트 전극(G)을 적층하여 전계효과 트랜지스터(200)를 최종 제작할 수 있다.
- [0051] 지금부터는 첨부한 도면을 참조하여 본 발명의 제2실시예에 따른 전계효과 트랜지스터 제작방법(S300)에 대하여 상세하게 설명한다.
- [0052] 도 10은 본 발명의 제2실시예에 따른 전계효과 트랜지스터 제작방법의 개략적인 공정흐름도이다.
- [0053] 도 10을 참조하면, 본 발명의 제2실시예에 따른 전계효과 트랜지스터 제작방법(S300)은 상술한 그래핀 패턴 형성방법(S100)으로부터 제작되는 나노 스케일의 그래핀 패턴(P)을 이용하여 전계효과 트랜지스터(300)를 제작하

는 공정에 관한 것으로서, 지지층 적층단계(S110)와 그래핀층 적층단계(S120)와 가압단계(S130)와 해제단계(S140)와 전사단계(S350)와 전극 형성단계(S360)를 포함한다.

[0054] 다만, 상기 지지층 적층단계(S110)와 그래핀층 적층단계(S120)와 가압단계(S130)와 해제단계(S140)는 상술한 그래핀 패턴 형성방법(S100)의 공정과 동일하므로 중복 설명은 생략한다.

[0055] 도 11은 도 10의 전계효과 트랜지스터 제작방법의 전사단계 공정을 개략적으로 도시한 것이다.

[0056] 도 11에 도시된 바와 같이, 상기 전사단계(S350)는 지지층(120) 상에 형성되는 그래핀 패턴(P)을 절연층(360)이 적층된 베이스(350) 상에 전사하는 단계이다.

[0057] 먼저, 절연층(360)은 전기적으로 우수한 절연특성을 가지는 소재로 마련되어 베이스(350) 상에 적층된다. 다음으로 본 단계에서 베이스(350) 상에 적층된 절연층(360)에 그래핀 패턴(P)을 접촉한 상태에서 열을 가하여, 지지층(120) 상의 그래핀 패턴(P)이 절연층(360)으로 전사되도록 한다.

[0058] 따라서, 본 단계에 의하면, 지지층(120)의 돌출영역(121) 상에 형성되는 그래핀 패턴(P)만이 절연층(360)으로 옮겨지며, 절연층(360) 상에는 그래핀 패턴(P)이 상호 이격되게 형성된다.

[0059] 도 12는 도 10의 전계효과 트랜지스터 제작방법의 전극 형성단계 공정을 개략적으로 도시한 것이다.

[0060] 도 12에 도시된 바와 같이, 상기 전극 형성단계(S360)는 최외곽의 그래핀 패턴(P) 상에 소스전극(S)과 드레인 전극(D)을 적층하고, 베이스(350)의 하면에 게이트 전극(G)을 형성함으로써, 전계효과 트랜지스터(FET:Field Effect Transistor)(300)를 최종 제작하는 단계이다.

[0061] 본 발명의 권리범위는 상술한 실시예에 한정되는 것이 아니라 첨부된 특허청구범위 내에서 다양한 형태의 실시예로 구현될 수 있다. 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 변형 가능한 다양한 범위까지 본 발명의 청구범위 기재의 범위 내에 있는 것으로 본다.

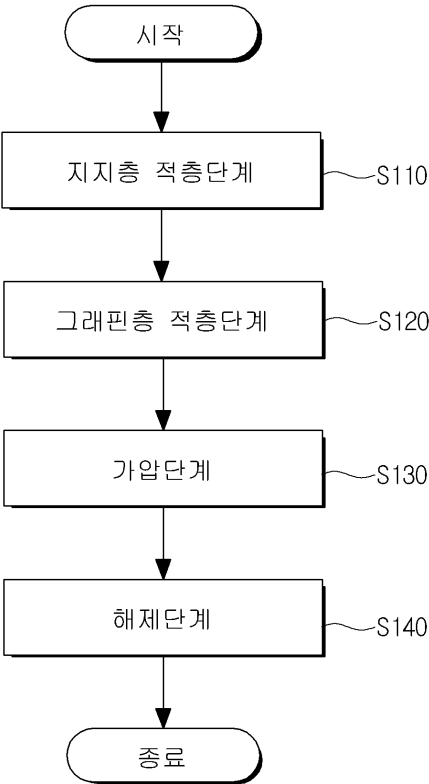
부호의 설명

[0062] 110 : 기판
120 : 지지층
130 : 그래핀층
140 : 스탬프

도면

도면1

S100



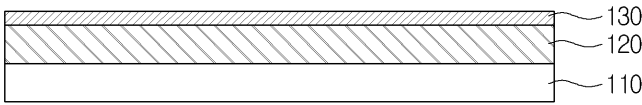
도면2

S110



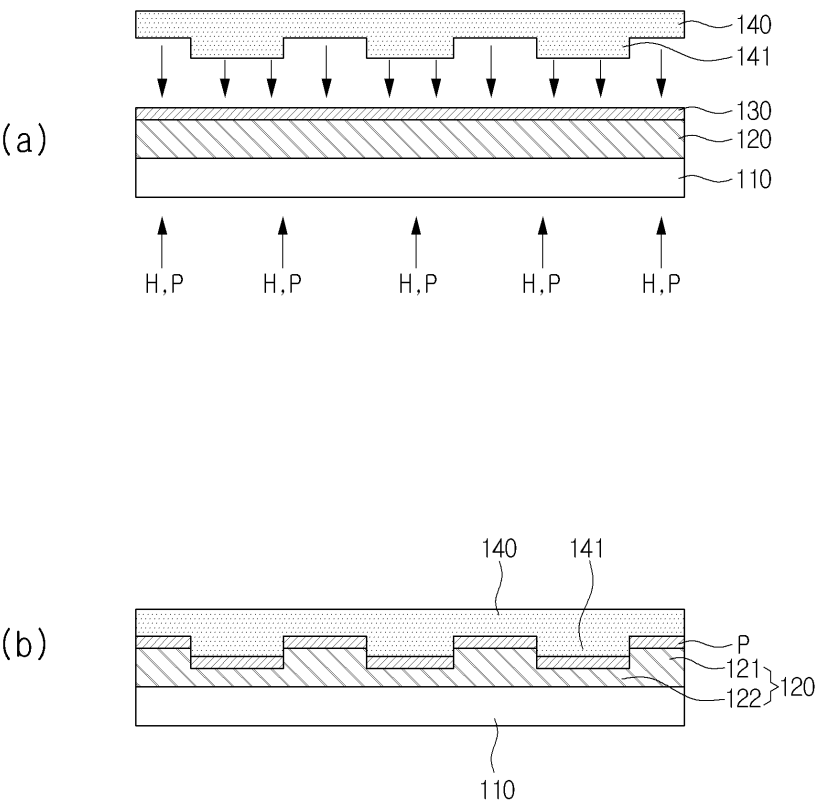
도면3

S120

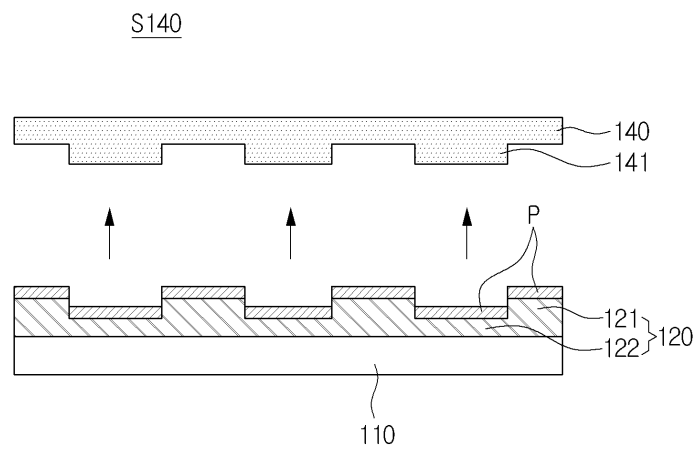


도면4

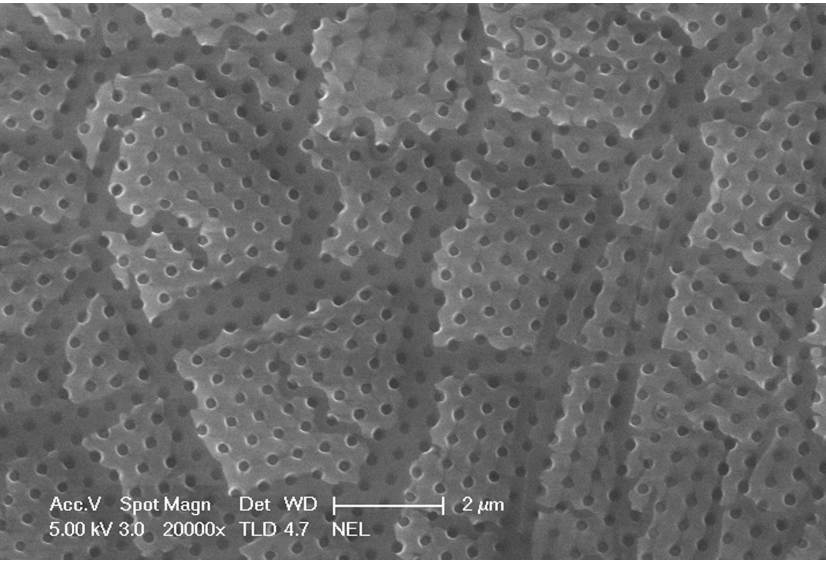
S130



도면5

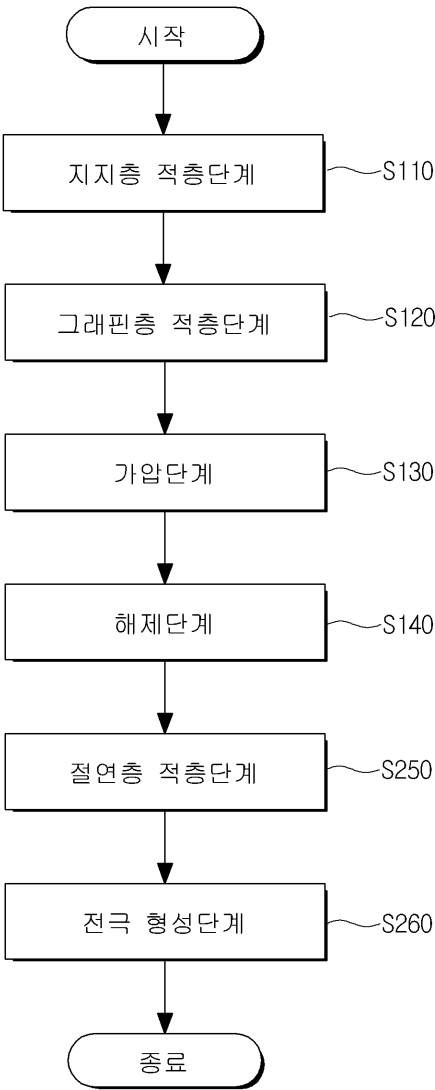


도면6

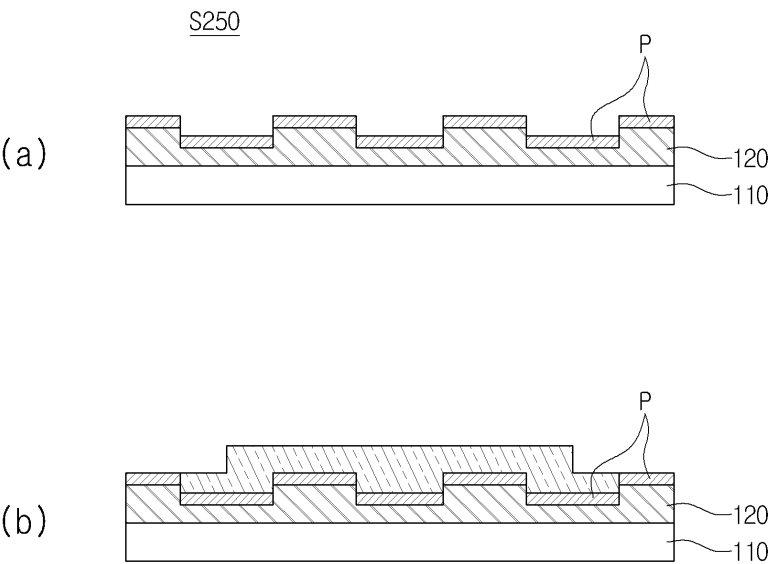


도면7

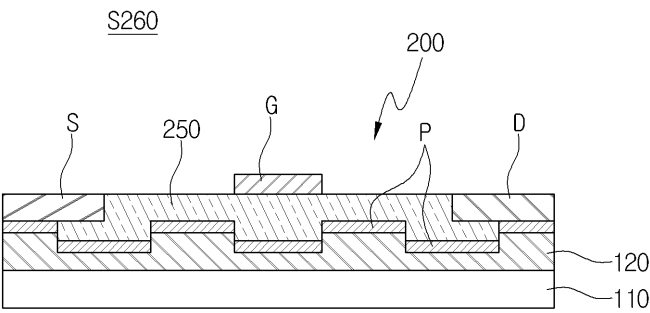
S200



도면8

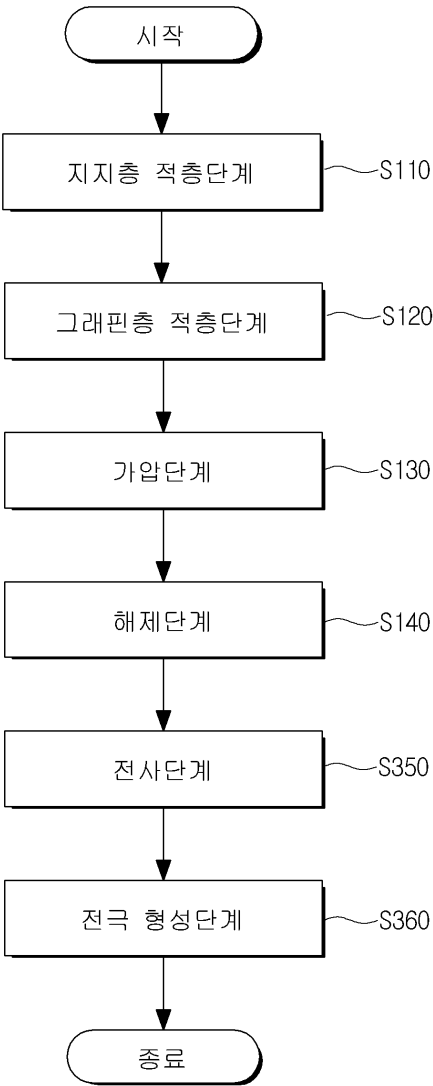


도면9



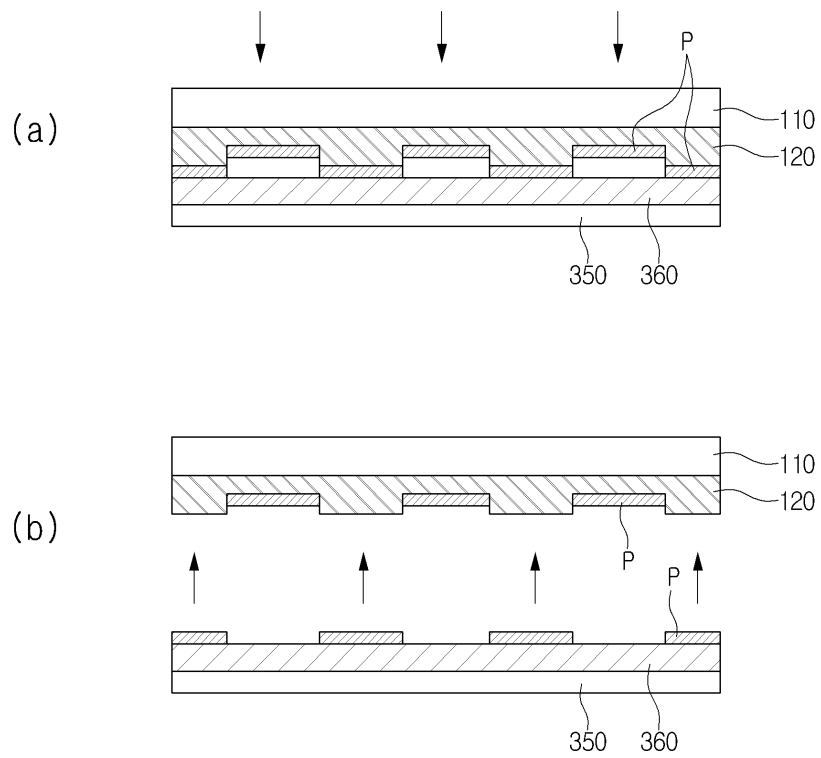
도면10

S300



도면11

S350



도면12

S360